

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

CLIPPEDIMAGE= JP411087633A
PAT-NO: JP411087633A
DOCUMENT-IDENTIFIER: JP 11087633 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 30, 1999

INVENTOR-INFORMATION:

NAME

NAKAJIMA, SHINJI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP09236715

APPL-DATE: September 2, 1997

INT-CL (IPC): H01L027/10; H01L027/04 ; H01L021/822 ; H01L027/108
; H01L021/8242
; H01L021/8247 ; H01L029/788 ; H01L029/792

ABSTRACT:

PROBLEM TO BE SOLVED: To realize interconnection metal layer deposition by using CVD method at high efficiency and reliability, while the capacitor degradation is prevented, in a semiconductor device having a capacitor with a perovskite type oxide ferroelectrics layer and an electrode contact hole of a high aspect ratio, in the manufacture of the semiconductor device.

SOLUTION: Accordingly to this method, wiring of a semiconductor device comprising such capacitor as having a capacitor dielectric layer 15 of perovskite type oxide ferroelectric is formed. Here, after an electrode contact hole has been formed at an inter-layer insulating layer 17, a hydrogen-block metal layer of hydrogen-storage metal or hydrogen-impermeable metal is formed over the entire surface, a wiring 20 is formed on the hydrogen-block metal layer by applying CVD method, and a vacuum heating process is performed for excluding hydrogen under a condition such that

at least the
entire surface is covered with the hydrogen-block metal layer.

COPYRIGHT: (C)1999,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87633

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.⁶

H 0 1 L 27/10

27/04

21/822

27/108

21/8242

識別記号

4 5 1

F I

H 0 1 L 27/10

27/04

27/10

29/78

4 5 1

C

6 5 1

3 7 1

審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く

(21) 出願番号

特願平9-236715

(22) 出願日

平成9年(1997) 9月2日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 中島 伸二

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

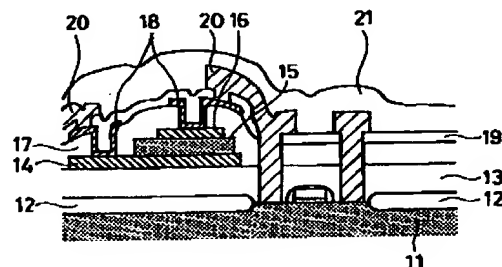
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体装置の製造方法に関し、ペロブスカイト型酸化物強誘電体層を用いたキャパシタをもち、且つ、高アスペクト比の電極コンタクト・ホールをもつ半導体装置に於ける配線金属層堆積をCVD法を用いて高い効率と高い信頼性をもって実現し、しかも、キャパシタの劣化を防止できるようにする。

【解決手段】 ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層15をもつキャパシタを有する半導体装置の配線形成工程に於いて、層間絶縁層17に電極コンタクト・ホールを形成してから全面に水素収蔵金属或いは水素不透過金属からなる水素阻止用金属層を形成し、CVD法を適用して水素阻止用金属層上に配線20を形成し、少なくとも水素阻止用金属層で全面が覆われている状態で水素を排除する為の真空加熱処理を行なう。

本発明に依って製造された半導体装置の要部切断側面図



- 11: Si基板
- 12: 素子分離絶縁層
- 13: 層間絶縁膜
- 14: キャパシタ用下部電極
- 15: キャパシタ用誘電体層
- 16: キャパシタ用上部電極
- 17: 層間絶縁膜
- 18: 局所配線層
- 19: 層間絶縁膜
- 20: 配線
- 21: 絶縁層

【特許請求の範囲】

【請求項1】ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層をもつキャパシタを有する半導体装置の配線形成工程に於いて、

絶縁層に電極コンタクト・ホールを形成してから全面に水素収蔵金属或いは水素不透過金属からなる水素阻止用金属層を形成する工程と、

CVD法を適用して前記水素阻止用金属層上に配線金属層を形成する工程と、

少なくとも水素阻止用金属層で全面が覆われている状態で水素を排除する為の真空加熱処理を行なう工程とが含まれてなることを特徴とする半導体装置の製造方法。

【請求項2】水素を排除する為の真空加熱処理を行なった後に水素阻止用金属層を配線パターンに加工する工程が含まれてなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】水素を排除する為の真空加熱処理を行なった後に電極コンタクト・ホール内に在るもの以外の水素阻止用金属層及び配線金属層などを除去してから再び配線金属層を形成して配線パターンに加工する工程が含まれてなることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層をもつキャパシタを有する半導体装置に於ける配線形成工程に於いて、

絶縁層に電極コンタクト・ホール及び電極コンタクト・ホールに連なる配線埋め込み用溝を形成してから全面に水素収蔵金属或いは水素不透過金属からなる水素阻止用金属層を形成する工程と、

CVD法を適用して前記水素阻止用金属層上に配線金属層を形成する工程と、

少なくとも水素阻止用金属層で全面が覆われている状態で水素を排除する為の真空加熱処理を行なう工程と、

電極コンタクト・ホール内及び電極コンタクト・ホールに連なる配線埋め込み用溝内に在るもの以外の水素阻止用金属層及び配線金属層などを除去してダマシ法配線を形成する工程が含まれてなることを特徴とする半導体装置の製造方法。

【請求項5】配線金属層が配線パターンに加工されて全面が絶縁膜で覆われた後に絶縁膜の表面からペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層に達する酸素供給ホールを形成して酸素雰囲気中に於いて熱処理を行なう工程が含まれてなることを特徴とする請求項1乃至4の何れか1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PZT(PbZrTiO_3)やSBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)などのペロブスカイト型酸化物強誘電体を用いたキャパシタを有し、且つ、高アスペクト比の電極コンタクト・ホールを

もつ半導体装置を製造するのに好適な方法に関する。

【0002】現在、依然として半導体装置は微細化及び高集積化を指向しているので、例えば、メモリに於けるキャパシタも微細化しなければならず、しかも、信頼性が高い情報を送り取りするには、キャパシタの容量を出来る限り大きくすることが必要である。

【0003】そこでキャパシタ誘電体層に強誘電体、例えば、ペロブスカイト型酸化物強誘電体を用いて小型大容量のものを得ようとする試みがなされているが、そのようにした場合、電極コンタクト・ホールのアスペクト比が高くなり、配線の形成が困難になるので、本発明では、その問題を解消する一手段を開示しようとする。

【0004】

【従来の技術】図13はペロブスカイト型酸化物強誘電体層を用いたキャパシタをもつ半導体装置を表す要部切断側面図である。

【0005】図に於いて、1は配線、2は上部電極、3は強誘電体層、4は下部電極、5はSi基板、6乃至8は SiO_2 膜、10は導電プラグをそれぞれ示している。

【0006】図13に見られる半導体装置では、キャパシタに於ける上部電極2或いは下部電極4と直接接続される配線1或いは導電プラグ10をもつ構造になっている、(A)では、下部電極4と接続された配線1が表面側に在り、(B)では、下部電極4と接続された導電プラグ10がSi基板5と接続されている。

【0007】一般に、PZTやSBTなどのペロブスカイト型酸化物強誘電体層を用いたキャパシタでは、水素などの還元雰囲気と遭遇すると強誘電体層から酸素が脱離して劣化することが知られ、また、CVD(chemical vapor deposition)法に依って配線金属層を堆積させる際には水素が発生すること知られている。

【0008】前記したところから、ペロブスカイト型酸化物強誘電体層を用いたキャパシタをもつ半導体装置を製造する場合に於いては、配線金属層の堆積にCVD法を適用することはできない。

【0009】その問題に対処する為、キャパシタ上部のみを水素収蔵金属層で覆ったり、層間絶縁膜に水素不透過層を用いた構造の半導体装置が知られている(要すれば、「特開平5-183106号公報」、「特開平7-102367号公報」、「特開平7-27329号公報」などを参照。)

【0010】然しながら、層間絶縁膜に水素不透過層を用いても、電極コンタクト・ホールを開口して電極・配線を形成しつつある状態で該開口から電極・配線を透過して水素が侵入するし、また、特開平5-183106号公報に見られるように、キャパシタ上部のみを水素収蔵金属層で覆った構造にした場合、層間絶縁膜を透過してキャパシタの側面から水素が侵入するため、矢張り、

CVD法を用いた配線金属層堆積に依るキャパシタの劣化を防ぐことは困難である。

【0011】そこで、ペロブスカイト型酸化物強誘電体層を用いたキャパシタをもつ半導体装置に於ける配線の形成には、水素など還元雰囲気が発生しない手段、例えば、アルゴンや窒素などの非還元雰囲気中のスパッタリングで配線金属層の堆積を行なっている。

【0012】然しながら、近年、半導体装置の微細化が進み、電極コンタクト・ホールサイズはサブミクロンになってきているにも拘わらず、キャパシタに於けるペロブスカイト型酸化物強誘電体の厚さを縮小することは困難である。

【0013】従って、キャパシタに於ける上部電極とSi基板との間を結ぶ配線を形成する為の電極コンタクト・ホールのアスペクト比は高いものとなっているので、そのような電極コンタクト・ホールを埋める配線をスパッタリング法で形成することは困難である。

【0014】図14は高アスペクト比の電極コンタクト・ホールをもつ半導体装置を表す要部切断側面図であり、図13に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0015】図に於いて、9はSiO₂層7に形成されて下地のSi基板5を表出させた高アスペクト比の電極コンタクト・ホールを示している。

【0016】図から明らかなように、電極コンタクト・ホール9を配線1で埋めるには長時間を必要とするので生産性が低下し、また、密実に埋めることができるとは限らず、空隙を生じて信頼性が低下する場合もある。

【0017】一般の半導体装置であれば、高アスペクト比の電極コンタクト・ホールをもついても、CVD法を適用し、窒化チタン、タングステン、アルミニウムなどを堆積することで問題回避も可能であるが、前記したようにペロブスカイト型酸化物強誘電体層を用いたキャパシタをもつ半導体装置では不可能である。

【0018】

【発明が解決しようとする課題】本発明は、半導体装置の製造工程に簡単な改変を加えることで、ペロブスカイト型酸化物強誘電体層を用いたキャパシタをもち、且つ、高アスペクト比の電極コンタクト・ホールをもつ半導体装置に於ける配線金属層堆積をCVD法を用いて高い効率と高い信頼性をもって実現し、しかも、ペロブスカイト型酸化物強誘電体層の劣化を防止できるようにする。

【0019】

【課題を解決するための手段】本発明では、電極コンタクト・ホールを開口してから、先ず、水素収蔵金属層或いは水素不透過金属層を形成し、その後、CVD法を適用して配線金属層を成膜することが基本になっていて、その配線金属層の成膜時に発生する水素は、下地の水素収蔵金属層、或いは、水素不透過金属層で遮断されるの

で、この段階でペロブスカイト型酸化物強誘電体層を用いたキャパシタが水素に依って劣化することはない。

【0020】通常、CVD法に依って成膜した配線金属層中には、ある程度水素が含まれるので、後工程として、真空中で加熱することに依って水素を排出すると良く、このようにすることで、配線形成後の熱処理工程で水素が発生することはなくなり、ペロブスカイト型酸化物強誘電体層を用いたキャパシタの劣化は抑止することができる。

10 【0021】水素収蔵金属には、高温になると水素を透過し易くなる性質をもつものがあるので、その場合には、前記真空加熱工程で配線金属から脱離した水素が水素収蔵金属層を透過してペロブスカイト型酸化物強誘電体層に達し、キャパシタに若干の劣化が起こる可能性があるため、多層工程の最終工程に於いて、キャパシタの強誘電体層に達するホールを開口し、酸素雰囲気中でアニールを行なってキャパシタの特性を回復することができる。

20 【0022】前記したところから、本発明に依る半導体装置の製造方法に於いては、

(1) ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層(例えばペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層15)をもつキャパシタを有する半導体装置の配線形成工程に於いて、絶縁層(例えばSiO₂からなる層間絶縁層17)に電極コンタクト・ホールを形成してから全面に水素収蔵金属或いは水素不透過金属からなる水素阻止用金属層(例えば水素収蔵金属層又は水素不透過金属層)を形成する工程と、CVD法を適用して前記水素阻止用金属層上に配線金属層(例えば配線20)を形成する工程と、少なくとも水素阻止用金属層で全面が覆われている状態で水素を排除する為の真空加熱処理を行なう工程とが含まれてなることを特徴とするか、又は、

30 【0023】(2) 前記(1)に於いて、水素を排除する為の真空加熱処理を行なった後に水素阻止用金属層を配線パターンに加工する工程が含まれてなることを特徴とするか、又は、

40 【0024】(3) 前記(1)に於いて、水素を排除する為の真空加熱処理を行なった後に電極コンタクト・ホール内に在るもの以外の水素阻止用金属層及び配線金属層などを除去してから再び配線金属層(例えば配線金属層37：図7参照)を形成して配線パターンに加工する工程が含まれてなることを特徴とするか、又は、

50 【0025】(4) ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層(例えばペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層15)をもつキャパシタを有する半導体装置に於ける配線形成工程に於いて、絶縁層(例えばSiO₂からなる層間絶縁層17)に電極コンタクト・ホール及び電極コンタクト・ホールに連なる配線埋め込み用溝(例えば配線埋め込

み用溝32B:図8参照)を形成してから全面に水素収蔵金属(例えばパラジウムなど)或いは水素不透過金属(例えばアルミニウムなど)からなる水素阻止用金属層を形成する工程と、CVD法を適用して前記水素阻止用金属層上に配線金属層(例えば配線20)を形成する工程と、少なくとも水素阻止用金属層で全面が覆われている状態で水素を排除する為の真空加熱処理を行なう工程と、電極コンタクト・ホール内及び電極コンタクト・ホールに連なる配線埋め込み用溝内に在るもの以外の水素阻止用金属層及び配線金属層などを除去して電極・配線を形成する工程が含まれてなることを特徴とするか、又は、

【0026】(5)前記(1)乃至(4)の何れか1に於いて、配線金属層が配線パターンに加工されて全面が絶縁膜で覆われた後に絶縁膜の表面からペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層に達する酸素供給ホール(例えば酸素供給ホール21A:図11及び図12参照)を形成して酸素雰囲気中に於いて熱処理を行なう工程が含まれてなることを特徴とする。

【0027】前記手段を採ることに依り、CVD法に依って配線金属層を成膜する時点で、ウエハ表面は全面に互って水素収蔵金属層或いは水素不透過金属層で覆われているので、キャパシタの側面から、或いは、配線金属層の成膜中にコンタクト・ホールから水素が侵入することは略完全に阻止され、キャパシタが劣化することはない。

【0028】また、前記水素収蔵金属層或いは水素不透過金属層は、配線形成工程に於いて配線と同時に同じパターンに加工されるのであるから、独自のフォトリソグラフィ工程は不要であって、半導体装置に於けるデバイス・サイズの縮小にも有利である。

【0029】更にまた、水素収蔵層或いは水素不透過層の何れであっても、金属であるから導電性が確保され、配線の下地として残留する構造になっていても、配線コンタクト抵抗への影響は小さい。

【0030】

【発明の実施の形態】図1は本発明に於ける一実施の形態に依って製造された半導体装置を表す要部切斷側面図である。

【0031】図に於いて、11はSi基板、12はSiO₂からなる素子分離絶縁層、13はSiO₂からなる層間絶縁層、14はPt, Ir, IrOなどからなるキャパシタ用下部電極、15はペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層、16はPt, Ir, IrOなどからなるキャパシタ用上部電極、17はSiO₂からなる層間絶縁層、18は局所配線層、19はSiO₂からなる層間絶縁層、20は水素阻止用金属層と積層されているAl, W, Ti, TiN, Cuなどからなる配線、21はSiO₂からなる絶縁層をそれぞれ示している。

【0032】図1の半導体装置に於いて、局所配線層18を下部電極14又は上部電極16とコンタクトさせた領域から僅かに引き出し、その引き出した領域に配線20をコンタクトさせているが、このような手段を採った場合、配線20とキャパシタ用誘電体層15とが離隔するので、キャパシタ用誘電体層15の劣化が少なくなる利点がある。尚、局所配線18を形成する際にCVD法を用いると水素が発生するので、スパッタリング法を用いるようにし、従って、深いコンタクト用開口は埋めることは困難であるから、層間絶縁膜19は薄くなければならない。

【0033】水素阻止用金属層には、水素収蔵金属、或いは、水素不透過金属の何れかを用いることになるが、水素収蔵金属は、パラジウム、バナジウム、ニオブ、ニッケル、クロム、マグネシウム、TiFeLaNi₅、Ti₂Mn₃、VNb、TiCo、ZrMn₂、Mg₂Cu、Mg₂Ni、LaCo₅、Ti₂V₈、Ti₂CoFe、Ti₂CoMnなどから選択することができ、また、水素不透過金属は、例えばAlを用いることができる。

【0034】配線金属としては、通常の通り、アルミニウム、タングステン、窒化チタン、銅、金、銀、白金を用いることができる。

【0035】図2は本発明に於ける他の実施の形態に依って製造された半導体装置を表す要部切斷側面図であり、図1に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0036】図2の半導体装置が図1の半導体装置と相違するところは、キャパシタ用下部電極14を導電プラグ22を介して基板11に接続した点にある。

【0037】図3乃至図5は本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切斷側面図であり、以下、これ等の図を参照しつつ説明する。尚、ここでは、水素阻止用金属層及びその近傍を主体として説明し、又、対象とする半導体装置では、下地であるキャパシタの上部電極とコンタクトする水素阻止用金属層、及び、水素阻止用金属膜とコンタクトする配線金属層は全て同一箇所、即ち、電極コンタクト・ホールの部分でコンタクトしている。

【0038】図3(A)参照

3-(1)CVD法を適用することに依り、下地(例えばキャパシタ用上部電極が含まれる)31を覆う厚さが例えば100[nm]~500[nm]のSiO₂からなる層間絶縁層32を形成する。

【0039】3-(2)リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをCF₄系或いはCHF₃系ガスとするドライ・エッチング法を適用することに依り、層間絶縁層32のエッチングを行なって電極コンタクト・ホール32Aを形成する。

【0040】図3(B)参照

3-(3)スパッタリング法を適用することに依り、厚さが例えば10[nm]~20[nm]のTiからなる密着金属層33を形成する。

【0041】3-(4)スパッタリング法を適用することに依り、電極コンタクト・ホール32Aの側壁及び底に於ける厚さが30[nm]~50[nm]以上になるようにパラジウムからなる水素阻止用金属層34を形成する。

【0042】図4(A)参照

4-(1)スパッタリング法を適用することに依り、厚さが例えば約50[nm]程度のアルミニウムからなる下敷き金属層35を形成する。尚、下敷き金属層35の材料としてアルミニウムを選択した理由は、次の工程でCVD法に依ってアルミニウムからなる配線金属層を形成することにより、若し、配線金属層が例えばタングステンであれば、窒化チタンなどを用いることになる。

【0043】4-(2)CVD法を適用することに依り、厚さ例えば300[nm]~1000[nm]のアルミニウムからなる配線金属層36を形成する。尚、配線金属層36はアルミニウム以外の材料、例えば窒化チタン、タングステンなどを用いることができる。

【0044】図4(B)参照

4-(3)リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを Cl_2 、 BCl_3 、 HB などから選択されたガスとするドライ・エッチング法を適用することに依り、配線金属層36及び下敷き金属層35を配線パターンに加工する。

【0045】図5参照

5-(1)リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを Cl_2 、 BCl_3 、 HB などから選択されたガスとするドライ・エッチング法を適用することに依り、水素阻止用金属層34及び密着金属層33を配線パターンに加工する。

【0046】ここで、配線金属層36及び下敷き金属層35のパターニングと水素阻止用金属層34及び密着層33のパターニングと二回に分けて実施しているが、その理由は、これ等パターニングの間に熱処理工程が介在させることにあり、その熱処理工程に関しては、後に詳細に説明する。

【0047】図6及び図7は本発明に於ける実施の形態2を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。尚、図3乃至図5に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとし、また、実施の形態2に於いて、配線金属層36を形成するまでの工程は実施の形態1と変わらないので、次の段階から説明する。

【0048】図6(A)参照

6-(1)化学機械研磨(chemical mechanical polishing: CMP)法を適用

することに依り、配線金属層36並びに下敷き金属層35のうち、電極コンタクト・ホール内に在るもの以外を除去する。尚、この場合、CMP法の他にエッチ・バック法を適用することもできる。

【0049】図6(B)参照

6-(2)CMP法を適用することに依り、水素阻止用金属層34並びに密着層33のうち、電極コンタクト・ホール内に在るもの以外を除去する。

【0050】ここで、配線金属層36、下敷き金属層35、水素阻止用金属層34、密着層33の除去を二回に分けて行なう理由は実施の形態1と同じである。

【0051】図7(A)参照

7-(1)スパッタリング法を適用することに依り、厚さが例えば300[nm]~1000[nm]であるAl、Ti、TiN、Cu、Wなどからなる配線金属層37を形成する。

【0052】図7(B)参照

7-(2)リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを Cl_2 、 BCl_3 、 HB などから選択されたガスとするドライ・エッチング法を適用することに依り、配線金属層37を配線パターンに加工する。

【0053】図8乃至図10は本発明に於ける実施の形態3を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。尚、図3乃至図7に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとし、また、ここで説明する実施の形態3は、ダマシンの配線形成を対象にしている。

【0054】図8(A)参照

8-(1)CVD法を適用することに依り、下地(例えばキャパシタ用上部電極が含まれる)31を覆う厚さが例えば400[nm]~1500[nm]程度の SiO_2 からなる層間絶縁層32を形成する。

【0055】8-(2)リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを CF_4 系或いは CHF_3 系ガスとするドライ・エッチング法を適用することに依り、層間絶縁層32のエッチングを行なって電極コンタクト・ホール32Aを形成する。

【0056】8-(3)リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスを CF_4 系或いは CHF_3 系ガスとするドライ・エッチング法を適用することに依り、再び層間絶縁層32のエッチングを行なって電極コンタクト・ホール32Aに連なる配線埋め込み用溝32Bを形成する。

【0057】図8(B)参照

8-(3)スパッタリング法を適用することに依り、厚さが例えば10[nm]~20[nm]のチタンからなる密着層33を形成する。

【0058】8-(4)スパッタリング法を適用するこ

とに依り、電極コンタクト・ホール32Aの側壁及び底に於ける厚さが30〔nm〕～50〔nm〕以上になるようにパラジウムからなる水素阻止用金属層34を形成する。

【0059】図9(A)参照

9-(1)スパッタリング法を適用することに依り、厚さが例えば50〔nm〕程度のアルミニウムからなる下敷き金属層35を形成する。

【0060】9-(2)CVD法を適用することに依り、厚さ例えば300〔nm〕～1000〔nm〕のアルミニウムからなる配線金属層36を形成する。尚、配線金属層36はアルミニウム以外の材料、例えば窒化チタン、タングステンなどを用いることができる。

【0061】図9(B)参照

9-(3)CMP法を適用することに依り、配線金属層36並びに下敷き金属層35のうち、電極コンタクト・ホール内及び配線埋め込み用溝内に在るもの以外を除去する。尚、この場合にも、実施の形態2と同様、CMP法の他にエッチ・バック法を適用することができる。

【0062】図10参照

10-(1)CMP法を適用することに依り、水素阻止用金属層34及び密着層33のうち、電極コンタクト・ホール内及び配線埋め込み用溝内に在るもの以外を除去する。

【0063】CMPを二回に分けて実施した理由は、実施の形態1及び2と同じである。

【0064】前記何れの実施の形態に於いても、CVD法を適用して配線金属層を形成する段階では、ウエハ表面は全面に亘り、水素収蔵金属或いは水素不透過金属などからなる水素阻止用金属層で覆われていることが明らかであり、この手段を採ることだけでも、ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層をもつキャパシタの劣化を抑止する面で大きな改善である。

【0065】さて、CVD法に依って形成した配線金属層中には、水素が取り込まれているので、その水素を除去しておくことは、キャパシタ劣化を抑止する上で極めて有益であり、その為には加熱することが有効であるが、その加熱を実施する時期については、生産性の面からすれば、図4の(A)、或いは、図9の(A)に見られるように、水素阻止用金属層及びCVD法で形成した配線金属層が全面を覆っている時点で実施すると効率が良い。

【0066】然しながら、キャパシタの劣化を有効に抑止する面からすれば、図4(B)、図6(A)、図9(B)に見られるように、全面が水素阻止用金属層で覆われているが、CVD法で形成した配線金属層は配線パターンに加工され、少ない体積になっている状態で実施の方が好結果が得られる。

【0067】これは、配線金属の体積に対して水素阻止用金属の体積が多ければ、水素阻止用金属層を透過して

キャパシタに到達する水素の量を少なくすることができるからである。

【0068】配線金属層中の水素を排除する加熱は、 1×10^{-6} 〔Torr〕以下の高真空中で実施するので、排気系には、ターボ分子ポンプなど水素を排除することが可能な真空ポンプを用いる必要があり、加熱温度は400〔℃〕～500〔℃〕、加熱時間は5〔分〕～60〔分〕の範囲で選択するものであり、この選択は、配線金属の材料に依存し、当然のことながら、高温を適用するほど処理時間を短くすることが必要である。尚、この熱処理が終わった後は、配線を完成させてからカバー膜を形成することになる。

【0069】前記何れの実施の形態に依っても、ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層をもつキャパシタの水素に依る劣化を有効に抑止することができるのであるが、配線金属層の体積に比較して水素阻止用金属層の体積が少ない場合、或いは、加熱工程に於ける温度が高い場合には、水素が水素阻止用金属層を透過してペロブスカイト型酸化物強誘電体の酸素を脱離させ、キャパシタの劣化を生じる場合がある。

【0070】そのような問題を回避するには、ペロブスカイト型酸化物強誘電体から脱離する酸素を補給するようにしてキャパシタの特性劣化を抑止しなければならない。

【0071】図11及び図12は本発明に於ける実施の形態4を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であり、以下、これ等の図を参照しつつ説明する。尚、図1及び図2に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

【0072】実施の形態4が対象とする半導体装置の基本的構成は、図1に見られる半導体装置と全く同じであるから、工程当初から絶縁層21を形成するまでの工程の説明は省略し、次の段階から説明する。

【0073】図11参照

11-(1)CVD法及びリソグラフィ技術に依って水素阻止用金属層を含む配線20を形成し、次いで、CVD法に依って絶縁膜21を形成した後、リソグラフィ技術に於けるレジスト・プロセス、及び、エッチング・ガスをCF₄系ガス、或いは、CHF₃系ガスとするドライ・エッチング法を適用することに依り、絶縁層21の表面からペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層15に達する酸素供給ホール21Aを形成する。

【0074】11-(2)酸素雰囲気中に於いて、温度450〔℃〕～600〔℃〕とし、所要時間の熱処理を行なう。

【0075】熱処理温度並びに熱処理時間は、配線金属の如何に依って最適化することが必要であり、例えば配線金属がA1であれば、信頼性の面から希求されるとこ

ろからは、温度は450〔℃〕程度、時間は30〔分〕程度であり、また、配線金属がWであれば、温度を650〔℃〕とし、より短時間の熱処理が必要となる。

【0076】図12参照

12-(1) 酸素供給ホール21A内も含めた全面にカバー膜22を形成し、露出されていたキャパシタ用誘電体層15を覆う。

【0077】ところで、カバー膜22は、シラン系のガスに比較して水素の発生が少ないテトラエチル・オキシシリケート($\text{Si}(\text{OC}_2\text{H}_5)_4$:TEOS)系ガスをを用いて SiO_2 膜を形成してから、アルミニウムやチタンなどの金属酸化物からなる水素不透過層を形成し、その後、シラン系或いはTEOS系のガスをを用いて SiN 膜を堆積して完成する。

【0078】

【発明の効果】本発明に依る半導体装置の製造方法に於いては、ペロブスカイト型酸化物強誘電体からなるキャパシタ用誘電体層をもつキャパシタを有する半導体装置に於ける配線形成工程に於いて、絶縁層に電極コンタクト・ホールを形成してから全面に水素収蔵金属或いは水素不透過金属からなる水素阻止用金属層を形成し、CVD法を適用して前記水素阻止用金属層上に配線金属層を形成し、少なくとも水素阻止用金属層で全面が覆われている状態で水素を排除する為の真空加熱処理を行なう。

【0079】前記構成を採ることに依り、CVD法に依って配線金属層を成膜する時点で、ウエハ表面は全面に互って水素収蔵金属層或いは水素不透過金属層で覆われているので、キャパシタの側面から、或いは、配線金属層の成膜中にコンタクト・ホールから水素が侵入することは略完全に阻止され、キャパシタが劣化することはない。

【0080】また、前記水素収蔵金属層或いは水素不透過金属層は、配線形成工程に於いて配線と同時に同じパターンに加工されるのであるから、独自のフォトリソグラフィ工程は不要であって、半導体装置に於けるデバイス・サイズの縮小にも有利である。

【0081】更にまた、水素収蔵層或いは水素不透過層の何れであっても、金属であるから導電性が確保され、配線の下地として残留する構造になっていても、配線コンタクト抵抗への影響は小さい。

【図面の簡単な説明】

【図1】本発明に於ける一実施の形態に依って製造された半導体装置を表す要部切断側面図である。

【図2】本発明に於ける他の実施の形態に依って製造された半導体装置を表す要部切断側面図である。

【図3】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断側面図であ

る。

【図4】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図5】本発明に於ける実施の形態1を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図6】本発明に於ける実施の形態2を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図7】本発明に於ける実施の形態2を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図8】本発明に於ける実施の形態3を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図9】本発明に於ける実施の形態3を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図10】本発明に於ける実施の形態3を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図11】本発明に於ける実施の形態4を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図12】本発明に於ける実施の形態4を説明する為の工程要所に於ける半導体装置を表す要部切断側面図である。

【図13】ペロブスカイト型酸化物強誘電体層を用いたキャパシタをもつ半導体装置を表す要部切断側面図である。

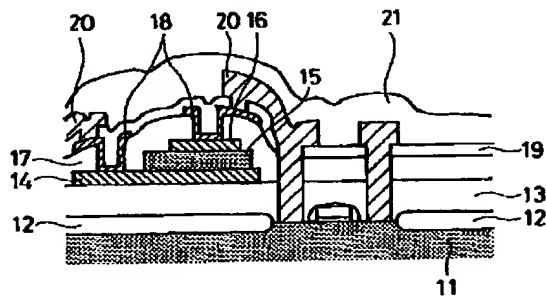
【図14】高アスペクト比の電極コンタクト・ホールをもつ半導体装置を表す要部切断側面図である。

【符号の説明】

- 11 基板
- 12 素子分離絶縁層
- 13 層間絶縁層
- 14 キャパシタ用下部電極
- 15 キャパシタ用誘電体層
- 16 キャパシタ用上部電極
- 17 層間絶縁層
- 18 局所配線層
- 19 層間絶縁層
- 20 配線
- 21 絶縁層
- 22 導電プラグ

【図1】

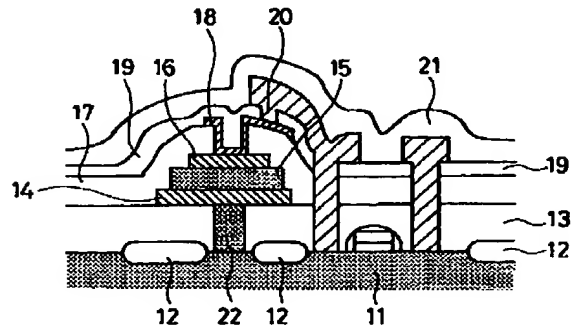
本発明に依って製造された半導体装置の要部切斷側面図



- 11 : Si基板
- 12 : 素子分離絶縁層
- 13 : 層間絶縁膜
- 14 : キャパシタ用下部電極
- 15 : キャパシタ用誘電体層
- 16 : キャパシタ用上部電極
- 17 : 層間絶縁膜
- 18 : 局所配線層
- 19 : 層間絶縁膜
- 20 : 配線
- 21 : 絶縁層

【図2】

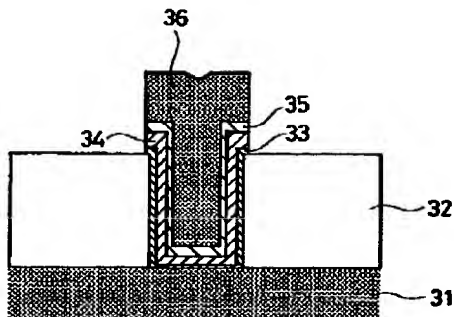
本発明に依って製造された半導体装置の要部切斷側面図



- 11 : Si基板
- 12 : 素子分離絶縁層
- 13 : 層間絶縁膜
- 14 : キャパシタ用下部電極
- 15 : キャパシタ用誘電体層
- 16 : キャパシタ用上部電極
- 17 : 層間絶縁膜
- 18 : 局所配線層
- 19 : 層間絶縁膜
- 20 : 配線
- 21 : 絶縁層
- 22 : 導電プラグ

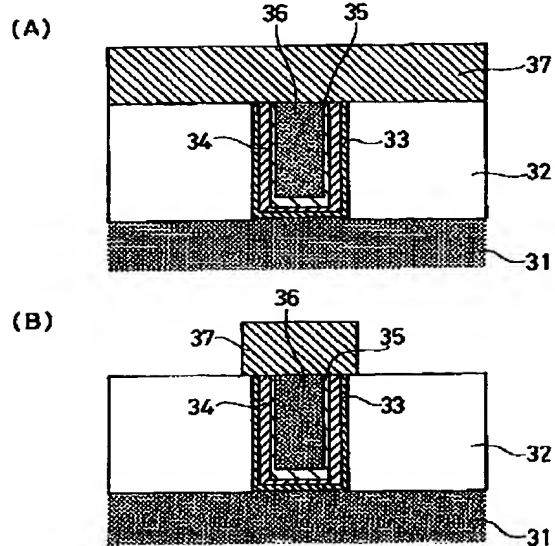
【図5】

工程要所に於ける半導体装置を表す要部切斷側面図



【図7】

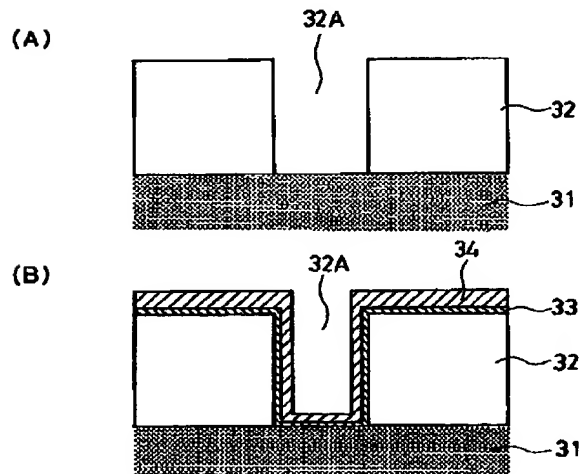
工程要所に於ける半導体装置を表す要部切斷側面図



37 : 配線金属層

【図3】

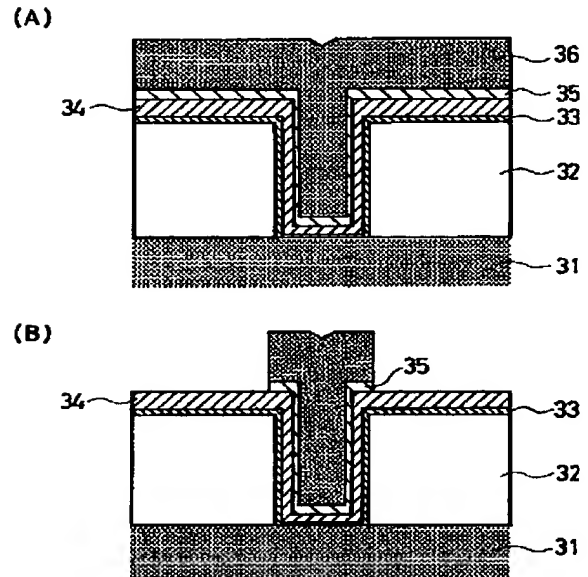
工程要所に於ける半導体装置を表す要部切斷側面図



31 : 下地
 32 : 層間絶縁膜
 32A : 電極コンタクト・ホール
 33 : 密着金属層
 34 : 水素阻止用金属層

【図4】

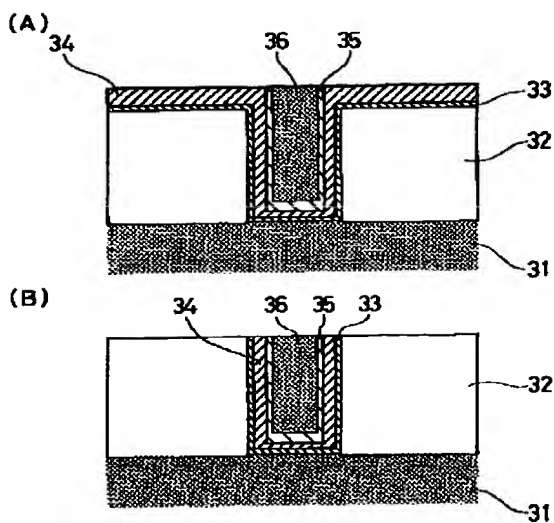
工程要所に於ける半導体装置を表す要部切斷側面図



35 : 下敷き金属層
 36 : 配線金属層

【図6】

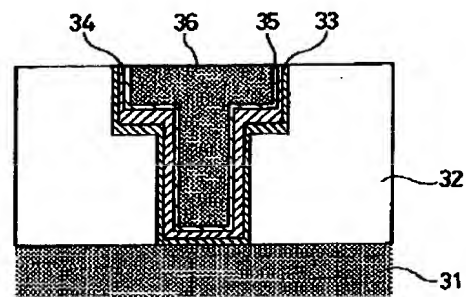
工程要所に於ける半導体装置を表す要部切斷側面図



31 : 下地
 32 : 層間絶縁膜
 33 : 密着金属層
 34 : 水素阻止用金属層
 35 : 下敷き金属層
 36 : 配線金属層

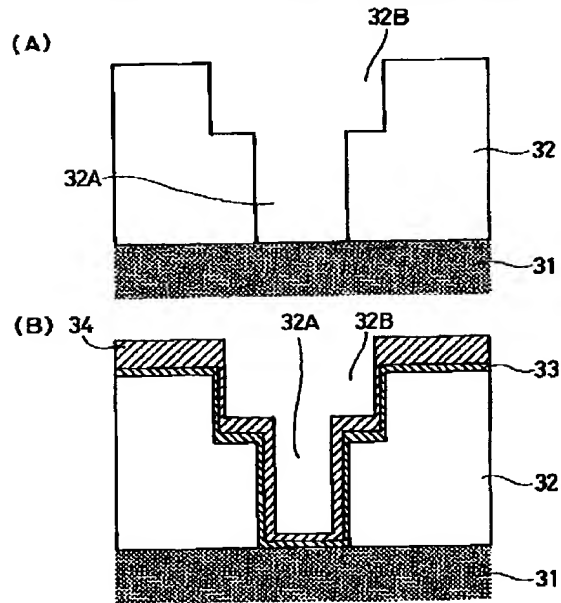
【図10】

工程要所に於ける半導体装置を表す要部切斷側面図



【図8】

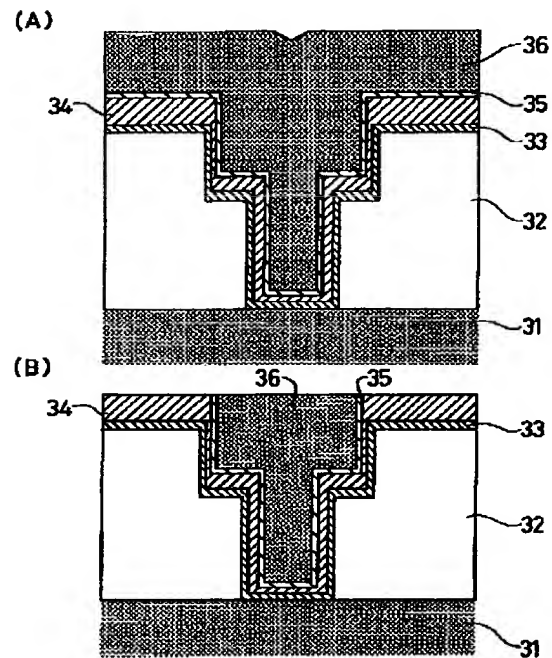
工程要所に於ける半導体装置を表す要部切断側面図



- 31 : 下地
 32 : 層間絶縁膜
 32A : 電極コンタクト・ホール
 32B : 配線埋込み用溝
 33 : 密着金属層
 34 : 水素阻止用金属層

【図9】

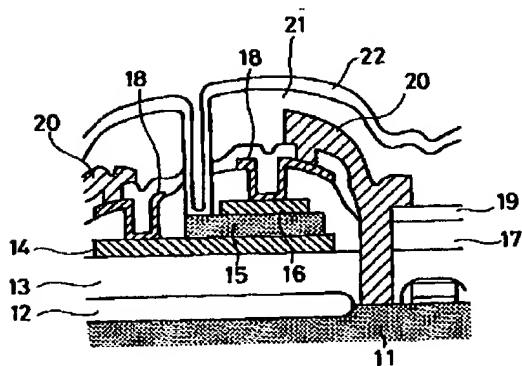
工程要所に於ける半導体装置を表す要部切断側面図



- 35 : 下敷き金属層
 36 : 配線金属層

【図12】

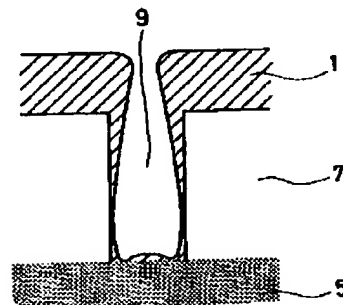
工程要所に於ける半導体装置を表す要部切断側面図



- 22 : カバー膜

【図14】

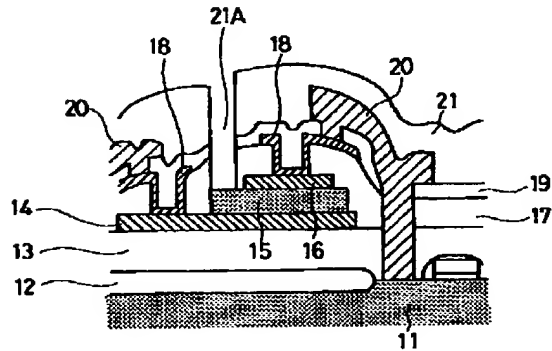
強誘電体層を用いたキャパシタをもつ半導体装置の要部切断側面図



- 1 : 配線
 5 : Si基板
 7 : SiO₂膜
 9 : 電極コンタクト・ホール

【図11】

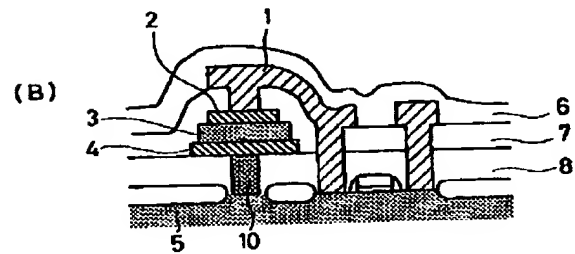
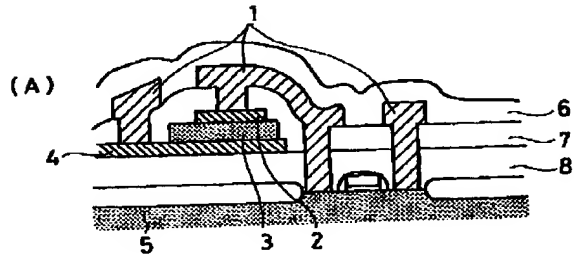
工程要所に於ける半導体装置を表す要部切斷側面図



- 11: Si基板
- 12: 素子分離絶縁層
- 13: 層間絶縁膜
- 14: キャパシタ用下部電極
- 15: キャパシタ用誘電体層
- 16: キャパシタ用上部電極
- 17: 層間絶縁膜
- 18: 局所配線層
- 19: 層間絶縁膜
- 20: 配線
- 21: 絶縁層
- 21A: 酸素供給コンタクト・ホール

【図13】

強誘電体層を用いたキャパシタをもつ半導体装置の要部切斷側面図



- 1: 配線
- 2: 上部電極
- 3: 強誘電体層
- 4: 下部電極
- 5: Si基板
- 6乃至8: SiO₂膜
- 10: 導電プラグ

フロントページの続き

(51) Int. Cl.⁶

H01L 21/8247

29/788

29/792

識別記号

F I